



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 01111887.3

[45] 授权公告日 2004 年 6 月 9 日

[11] 授权公告号 CN 1153290C

[22] 申请日 2001.3.23 [21] 申请号 01111887.3
[71] 专利权人 矽统科技股份有限公司
地址 台湾省新竹科学工业园区
[72] 发明人 柯明道 罗文裕 胡培芝
审查员 朱芳芳

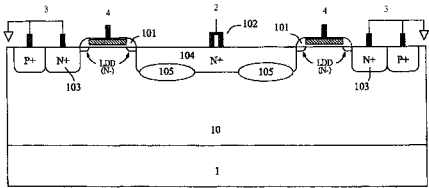
[74] 专利代理机构 北京市柳沈律师事务所
代理人 王志森

权利要求书 2 页 说明书 6 页 附图 18 页

[54] 发明名称 具有电流均匀分布特性的静电放电
防护布置方法

[57] 摘要

本发明提供一种静电放电 (ESD) 防护布置的新方法，其可使 CMOS 元件具有电流均匀分布的特性，对基于亚微米制造过程，可大为增进 CMOS 元件对静电放电的耐压性能。本发明的 CMOS 晶体管结构包含一具有 P 阱或 N 阱的半导体衬底、一介于漏极与源极间的栅极结构、一位于 P 阱或 N 阱中的轻微掺杂漏极区域、以及一具有与 P 阱或 N 阱相同极性的静电放电布置区域，该区域形成在漏极区域之下、并环绕向上对应于漏极接点的漏极区域。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种具有电流均匀分布特性的静电放电防护布置方法，包含下列步骤：

5 提供一具有 P 阱或 N 阱结构的半导体衬底；

形成一互补式场效应晶体管于该半导体衬底的 P 阱或 N 阱中，该场效应晶体管是包含栅极、漏极区域、与源极区域，且该栅极包含：一栅极氧化层、一位于该栅极氧化层上的栅极电极和形成于该栅极二侧壁的隔离层；

10 隔离层在该栅极隔离层的下面形成分别与该源极区域和漏极区域相邻的轻微掺杂漏极区，且该轻微掺杂漏极区域与该漏极区域具有相同的导电类型；

形成一静电放电布置区于该漏极区域之下，该静电放电布置区具有与该 P 阱或 N 阱相同的导电类型，并环绕垂直对应于该漏极接点的漏极区域。

15 2. 如权利要求 1 所述的具有电流均匀分布特性的静电放电防护布置方法，其中，该静电放电布置区形成为多个矩形区域，并且该多个矩形区域沿该漏极区域的两侧间隔配置。

3. 如权利要求 1 所述的具有电流均匀分布特性的静电放电防护布置方法，其中，该静电放电布置区呈一梳状配置。

20 4. 一种具有电流均匀分布特性的静电放电防护布置方法，包含下列步骤：

提供一具有第一 P 阱或 N 阱结构的半导体衬底；

形成一互补式场效应晶体管于该半导体衬底的第一 P 阱或 N 阱中，该场效应晶体管包含栅极、漏极和源极，且该栅极则包含：一栅极氧化层、一位于该栅极氧化层上的栅极电极和形成于该栅极二侧壁的隔离层；

25 形成一第二 N 阱或 P 阱，于该漏极接点之下，且该第二阱的导电类型与该第一阱的导电类型相反；

隔离层在该栅极隔离层的下面形成分别与该源极区域和漏极区域相邻的轻微掺杂漏极区，且该轻微掺杂漏极区与该漏极具有相同的导电类型；

30 形成一静电放电布置区于该漏极区域之下，该静电放电布置区具有与该第一 P 阱或 N 阱相同的导电类型，并环绕垂直对应于该漏极接点的漏极区域。

5. 如权利要求 4 所述的具有电流均匀分布特性的静电放电防护布置方

法，其中，该第二 N 阱或 P 阱是与该静电放电布置区分离或局部重叠。

具有电流均匀分布特性的静电 放电防护布置方法

5 技术领导

本发明是一种静电放电(静电放电)防护的布置方法,利用该方法可使半导体元件在静电放电过电压之下具有电流均匀分布的特性,故可提升半导体元件的静电放电耐受能力。

背景技术

10 静电放电影响是当今半导体集成电路可靠性的一重要课题,随着 MOS 元件的微型化进入甚至亚微米的领域,厚度更薄的栅极氧化层更容易受到静电放电的破坏,对目前的工业规格而言,根据静电放电的人体模型(human body model),IC 产品的输出输入引脚必须能承受 2000 伏以上的静电放电电压。所以,IC 的输出与输入焊接区(pad)处皆必须配置静电放电防护电路。

15 在 CMOS IC 的输出缓冲器中,输出的 NMOS 与 PMOS 元件往往被设计成具有较大的元件长宽比(W/L),以便对输出负载提供足够的电流,此大尺寸的输出 NMOS 与 PMOS 本身即可作为静电放电防护元件。例如,在 0.35 微米的 MOS 制造过程中,长宽比 W/L 为 300/0.5(微米/微米)的输出 NMOS 配合特定的静电放电防护设计可承受大于 2000 伏的静电电压。一种增进输出 NMOS 与 PMOS 的静电放电耐压性能的方法即是在制造过程中加入静电
20 放电的布置。

如图 1 所示的一输出 NMOS 元件结构,其布局则如图 2 所示。为了提升对静电放电的耐压性能,输出 NMOS 的布局通常皆具有较宽的间隔 SDG,此 SDG 值约为 3~5 微米左右。在甚至亚微米的 CMOS 制造过程中,
25 NMOS(或 PMOS)皆形成有一轻微掺杂漏极区结构以克服短通道器件的热载子效应。然而,轻微掺杂漏极区结构相当于在接近通道表面的漏极区域处形成一类似尖端的结构,当 NMOS 受到静电放电的放电时,此静电放电电流即会经过漏极区域并集中通过于轻微掺杂漏极区结构处而导通至接地的源极,此即如图 3 所示,轻微掺杂漏极区的区域通常皆是一深度约 ~0.02
30 微米的浅结(shallow junction),其具最高的偏压电场及一尖端结构,故静电放电极易经由此区域放电,因而造成元件的损坏。

为改进输出 NMOS 的静电放电耐压性能,公知的方法是在 CMOS 制造过程中增加一额外的静电放电布置制造过程以便形成一不具有轻微掺杂漏极区尖端结构的漏极区域,此即如图 4 与 5 所示。此种不具备轻微掺杂漏极区结构的漏极区域通常皆可承受较高的静电放电电压,其静电放电布置可在栅极氧化层的隔离层形成之前或之后形成。此类公知方法在多件美国专利案中皆有所公开,如美国专利案第 5,416,036 号(发明人为 C.C.Hsue)、第 5,455,444 号(C.C.Hsue)、第 5,496,751 号(Y.H.Wei)、第 5,529,941 号(T.Y.Huang)、第 5,585,299 号(C.C.Hsue)、第 5,672,527 号(Lee)、及第 5,733,794 号(P.Gilbert 等)。如图 4 所示,轻微掺杂漏极区结构是包含于一由静电放电布置所形成的额外 N 区域中,或者,亦可不包含轻微掺杂漏极区结构,如此,再适当地调整漏极接点与栅极的间隔,即可防止 NMOS 因轻微掺杂漏极区尖端结构所造成的静电放电毁损。然而,相对于一般具有轻微掺杂漏极区结构的 MOSFET,此种方法却会造成热电子效应,或较短的元件使用寿命。

对于具有轻微掺杂漏极区结构的 NMOS,另一种增进静电放电耐压性能的公知方法是设法在漏极扩散区下方形成一低击穿电压的结,如此,静电放电电流即会转而先通过此结而非上述的轻微掺杂漏极区尖端结构,从而达到保护元件的目的。此即如图 6 与 7 所示,其在漏极接点下的结区域植入一高浓度掺杂的 P+ 材料,如此可降低此结区域的击穿电压。如图 7 所示,此静电放电布置区只位在漏极接点的正下方、包含结的漏极区域的中心部位,此结的击穿电压取决于此 p-n 结处的 p 与 n 型扩散区的掺杂浓度。例如,在一 0.25 微米与 3.3 伏的 CMOS 制造过程中,原本具有轻微掺杂漏极区结构的输出 NMOS 具有大约 8 伏的击穿电压,若对此输出 NMOS 施以 P+(硼)的布置,则结的击穿电压可降至约 5 伏左右。所以,虽然此种静电放电布置的结区域增加了一道掩模曝光制造过程,但的确可在输出 NMOS 中有效地形成一低击穿电压的结。此类改进方法已公开于美国专利案第 5,374,565 号(发明人为 C.C.Hsue)、第 5,581,104 号(A.Lowrey 与 R.W.Chance)、第 5,674,761 号(K.Z.Chang)、及第 5,953,601 号(R.Y.Shiue 等)。此种设计的静电放电电流路径如图 8 所示,位在漏极接点下方的结区域因静电放电布置而具有较低的击穿电压,故静电放电电流皆趋向集中于此区域并流向衬底的接地端,因此,此一位在浅结中的静电放电布置区即易产生高热而将

漏极接点的金属材料融化,此融化的金属材料并向下流动而形成所谓的“接点毁损”(contact spiking)的现象,因而造成元件的毁坏。

发明内容

- 5 本发明的主要目的是提供一种静电放电布置的新方法,此静电放电防护布置的方法可使 CMOS 元件在静电放电过电压之下具有电流均匀分布的特性,故对基于亚微米制造过程而言,可大为增进 CMOS 元件对静电放电的耐压性能。该具有电流均匀分布特性的静电放电防护布置方法,包含下列步骤:提供一具有 P 阱或 N 阱结构的半导体衬底;形成一互补式场效应晶体管于该半导体衬底的 P 阱或 N 阱中,该场效应晶体管是包含栅极、漏极区域、与源极区域,且该栅极包含:一栅极氧化层、一位于该栅极氧化层上的栅极电极和形成于该栅极二侧壁的隔离层;在该栅极隔离层的下面形成分别与该源极区域和漏极区域相邻的轻微掺杂漏极区,且该轻微掺杂漏极区域与该漏极区域具有相同的导电类型;形成一静电放电布置区于该漏极区域之下,该
- 10 静电放电布置区具有与该 P 阱或 N 阱相同的导电类型,并环绕垂直对应于该漏极接点的漏极区域。

- 为达成此目的,本发明所提供的 CMOS 晶体管结构包含一具有 P 阱或 N 阱的半导体衬底,一介于漏极与源极间的栅极结构,一位于 P 阱或 N 阱中的轻微掺杂漏极区区域,以及一具有与 P 阱或 N 阱相同极性的静电放电布置区域,该区域形成在漏极区域之下、并环绕向上对应于漏极接点的漏极区域。
- 20

附图说明

- 图 1 是具有轻微掺杂漏极区结构的公知 NMOS 的横剖面图。
- 25 图 2 是图 1 的俯视图。
- 图 3 是具有轻微掺杂漏极区结构的公知 NMOS 的静电放电电流路径图。
- 图 4 是具有 N 型掺杂的公知静电放电布置方法。
- 图 5 是图 4 的俯视图。
- 30 图 6 是具有 P 型掺杂的公知静电放电布置方法。
- 图 7 是图 6 的俯视图。

图 8 是具有 P 型掺杂的公知 P 型静电放电布置元件的静电放电电流路径图。

图 9 是本发明的第一实施例中, P 型静电放电布置的横剖面图。

图 10 是图 9 的俯视图。

5 图 11 是本发明的第一实施例中, 静电放电电流放电路径的横剖面图。

图 12 是本发明的第一实施例中, 一布局方式的俯视图。

图 13 是本发明的第一实施例中, 一布局方式的俯视图。

图 14 是本发明施用于一 1.8 伏/3.3 伏输出电路的示意图。

10 图 15 是本发明的第一实施例中, 施用于 1.8 伏/3.3 伏输出电路的层叠 NMOS 的示意图。

图 16 是本发明的第二实施例中, 一 P 型静电放电布置方法的横剖面图。

图 17 是本发明的第二实施例中, 将 P 型静电放电布置方法施用于一场氧化层元件的横剖面图。

图 18 是本发明的第二实施例中, 一 P 型静电放电布置方法的横剖面图。

15 附图标号说明:

101 ~ 隔离层, 102 ~ 漏极接点, 103 ~ 源极区域, 104 ~ 漏极区域, 105 ~ 静电放电布置区, 106 ~ 静电放电布置区, 107 ~ 静电放电布置区, 201 ~ 漏极接点, 301 ~ 漏极接点。

20 另外, 图 1、2、3、4、5、6、7、8、9、10、11、12、13、15、16、17、18 中的“漏极”~2, “栅极”~4, “源极”~3; 图 1、3、4、6、8、9、11、16、17、18 中的“P 阱”~10, “P 型衬底”~1; 图 2、3、10 中的漏极接点”~102; 图 4、7、10、11、12、15 中的“ESD 布置区域”~105; 图 4 中的“(ESD 布置)”~(205); 图 8、11 中的“结击穿位置”~5; 图 8 中的“ESD 电流聚集于漏极接点下, 容易造成接点金属融化而向下渗入硅材料中”~6; 图 16、17、18 中的“N 阱”~20。

具体实施方式

图 9 是用以显示一 NMOS 元件的静电放电布置, 图 10 则是其相对的布局方式。

30 如图 9 与 10 所示, 根据本发明的第一实施例, 一具有静电放电防护设计的 NMOS 元件包含一具有隔离层 101 的栅极结构、一源极区域 103、以

及一位于漏极接点 102 下的漏极区域 104。在隔离层 101 下并形成有一轻微掺杂漏极区区域。例如，此轻微掺杂漏极区区域可以诸如磷或砷离子植入形成，其所使用的能量与植入剂量则为一公知技术。

参阅图 9 与 10，在漏极区域 104 下形成一 P 型静电放电布置区 105，
5 且其掺杂浓度大于 P 阱的掺杂浓度。参阅图 10 所示的布局俯视图，静电放电布置区 105 是环绕漏极接点而成，或者，如图 12 所示，亦可将此静电放电布置区形成为多个方块区域，利用此种方块区域的均匀分布方式，则经过漏极区域 104 的静电放电电流即具有较佳的电流分布，故可有效地散逸静电放电所引发的热量，亦即可提升元件对静电放电的耐压性能。图 13 则是另一种布局的变化，此例中，静电放电布置区是以二矩形区域与多个方块区域所构成，其亦具有均匀分布静电放电电流已进行散热的效果。在静电放电布置区 105 中的掺杂浓度因较其它漏极区域为高，故其所形成的 pn 结相对有较低的击穿电压，而漏极接点 102 下方、静电放电布置区 105 旁的漏极结区域则保持正常的击穿电压，故其静电放电电流路径将如图 11 所示，亦即，一施于一输出 NMOS 的静电放电高电压将被分散于漏极接点 102 与静电放电布置区 105 间的结区域，并被导流至 NMOS 的接地端 VSS。图 11 所示的电流路径比较公知静电放电布置方式有较广阔的电流分布区域，故电流不致因集中于漏极接点 102 下的结区域而易造成接点毁损的现象。

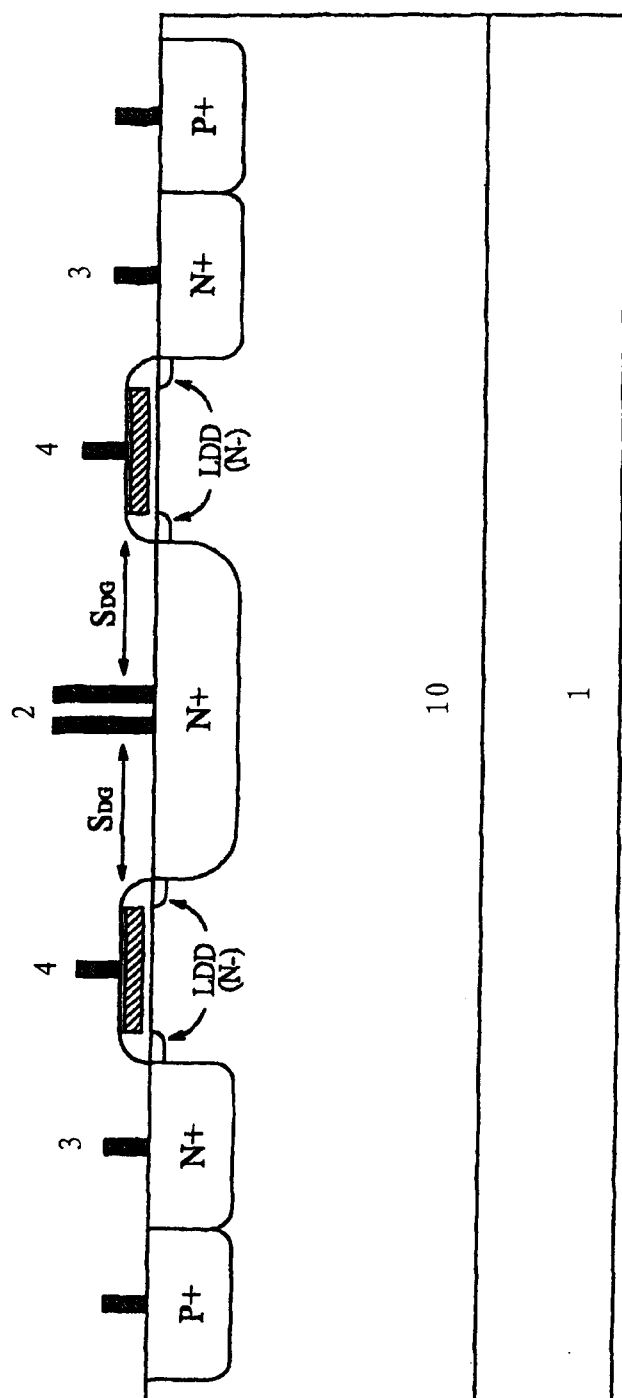
图 14 是本发明施用于一 1.8 伏/3.3 伏输出电路的示意图。图 14 所示
20 的静电放电布置区 106 可用以提升甚至亚微米 CMOS IC 的 1.8 伏/3.3 伏 I/O 电路的静电放电耐压性能。图 15 则是图 14 中该层叠 NMOS(Mn1 与 Mn2) 的布局，其中，Mn1 与 Mn2 的多晶硅栅极彼此相互靠近，而静电放电布置区则配置于漏极接点与 Mn1 的多晶硅栅极之间，如此，当 I/O 焊接区处发生一静电放电高电压时，静电放电布置区 106 即可充分发挥其保护该层叠
25 NMOS 的作用。

参阅图 16，根据本发明的第二实施例，除了与第一实施例相同的静电放电布置区 107 之外，并进一步在漏极接点 201 之下加入一额外的 N 阱，此 N 阱比较于正常的漏极结(结深度约 0.15 微米)具有极深的结深度(约 2 微米)，故可明显地降低漏极接点的毁损效应，亦即，此静电放电布置方式可
30 进一步增加元件的静电放电耐压性能。

以上所述的静电放电布置方式亦可施用于具有场氧化层(field-oxide)的

元件(FOD),以增进其静电放电耐压性能。例如,如图 17 所示的 N 型 FOD,漏极结除了位在漏极接点 301 正下方的区域之外,皆施以前述的静电放电布置制造过程,进一步,此 FOD 亦可形成一上述的额外 N 阱,以克服漏极接点的毁损效应。在图 16 与 17 中,该额外的 N 阱区域与静电放电布置区
5 107 亦可有如图 18 所示的相互重叠的区域,以便分散静电放电放电电流,并增加布局上的弹性。

以上利用实施例所做的描述,是为方便说明本发明的内容,而非将本发明狭义地限制于该实施例。凡未背离本发明的精神所做的任何变更,皆属本发明权利要求范围。



1

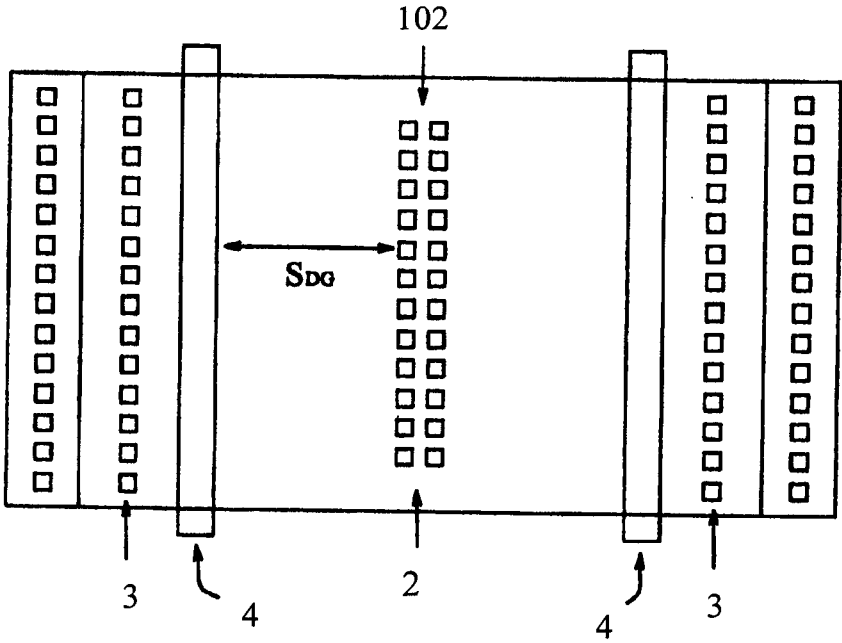


图 2

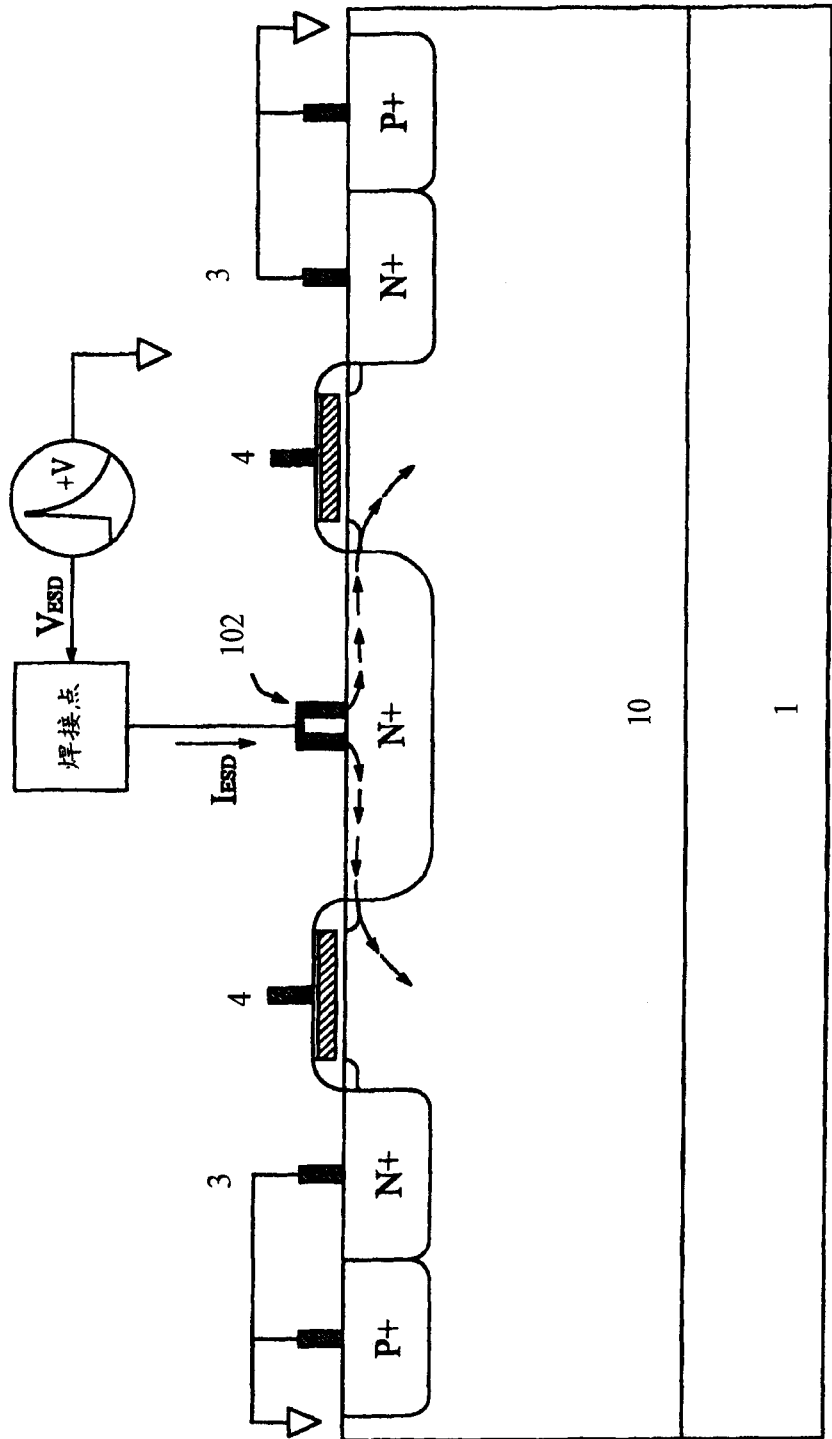


图 3

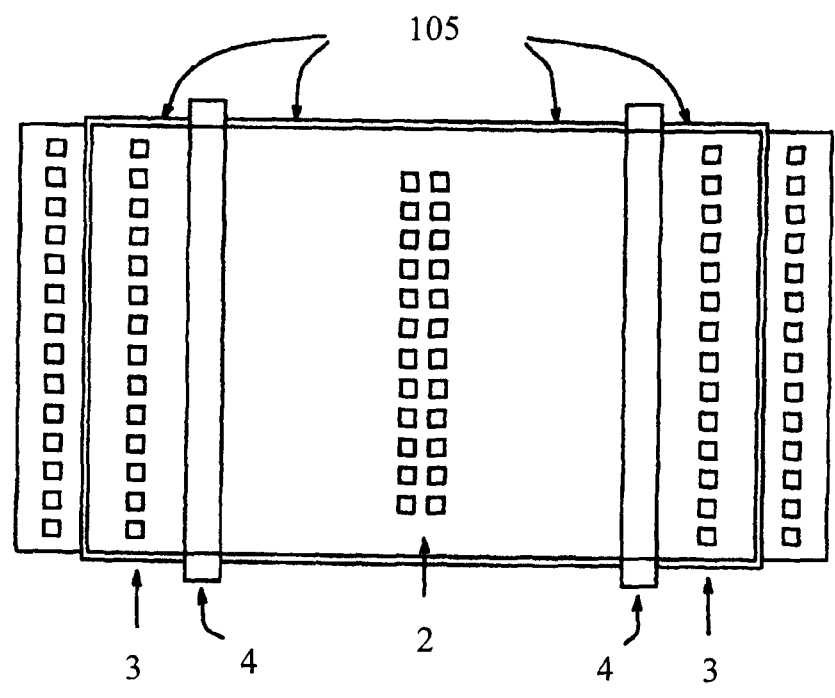


图 5

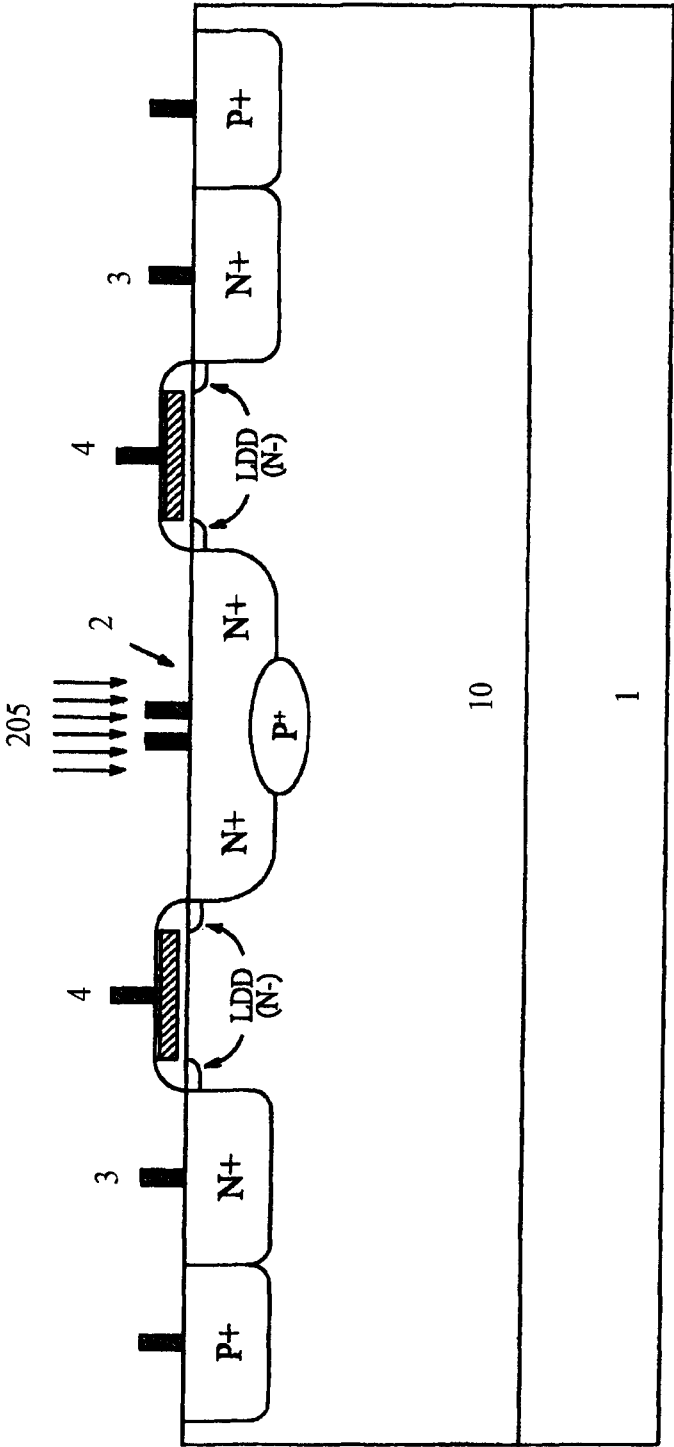


图 6

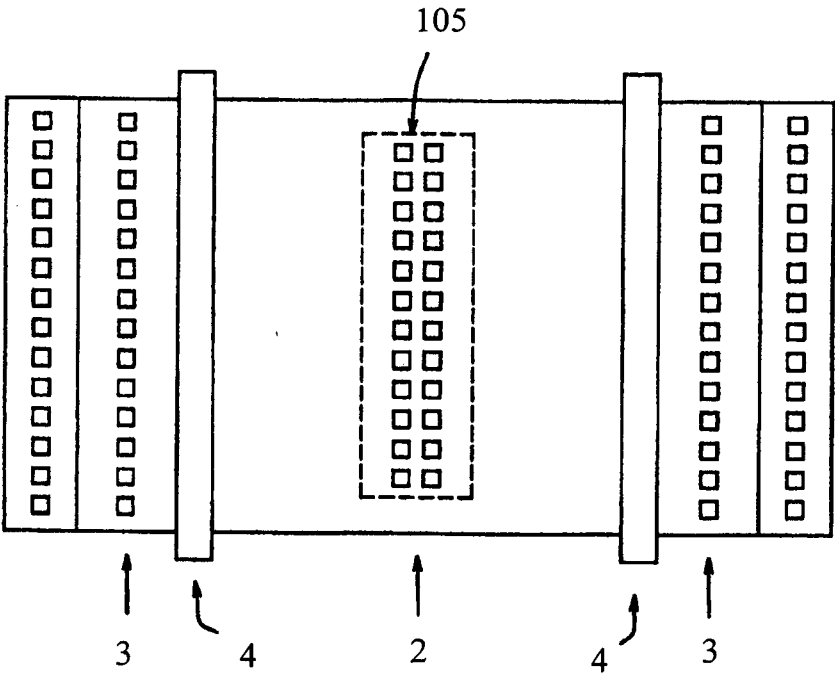
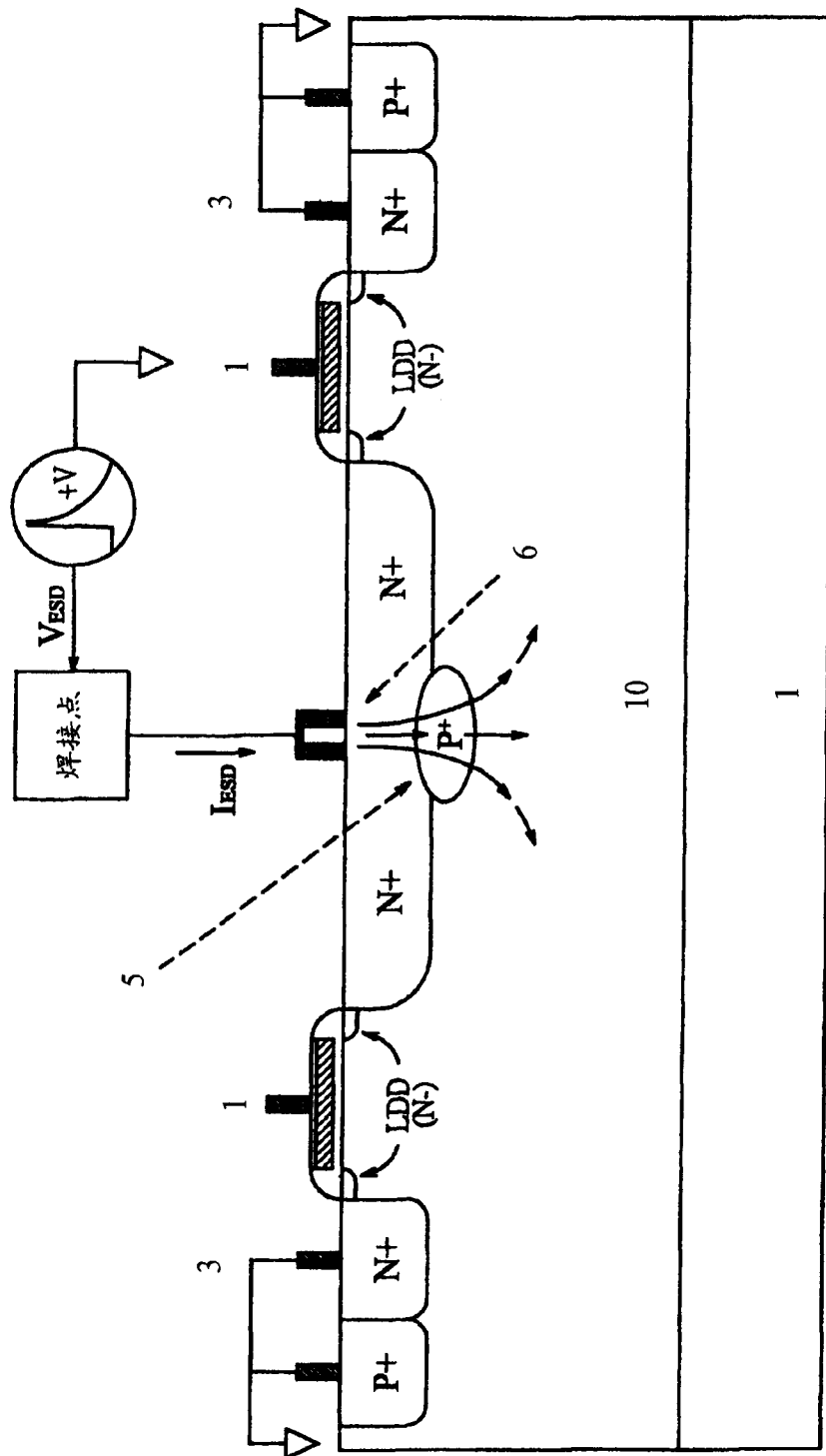


图 7



8
[X]

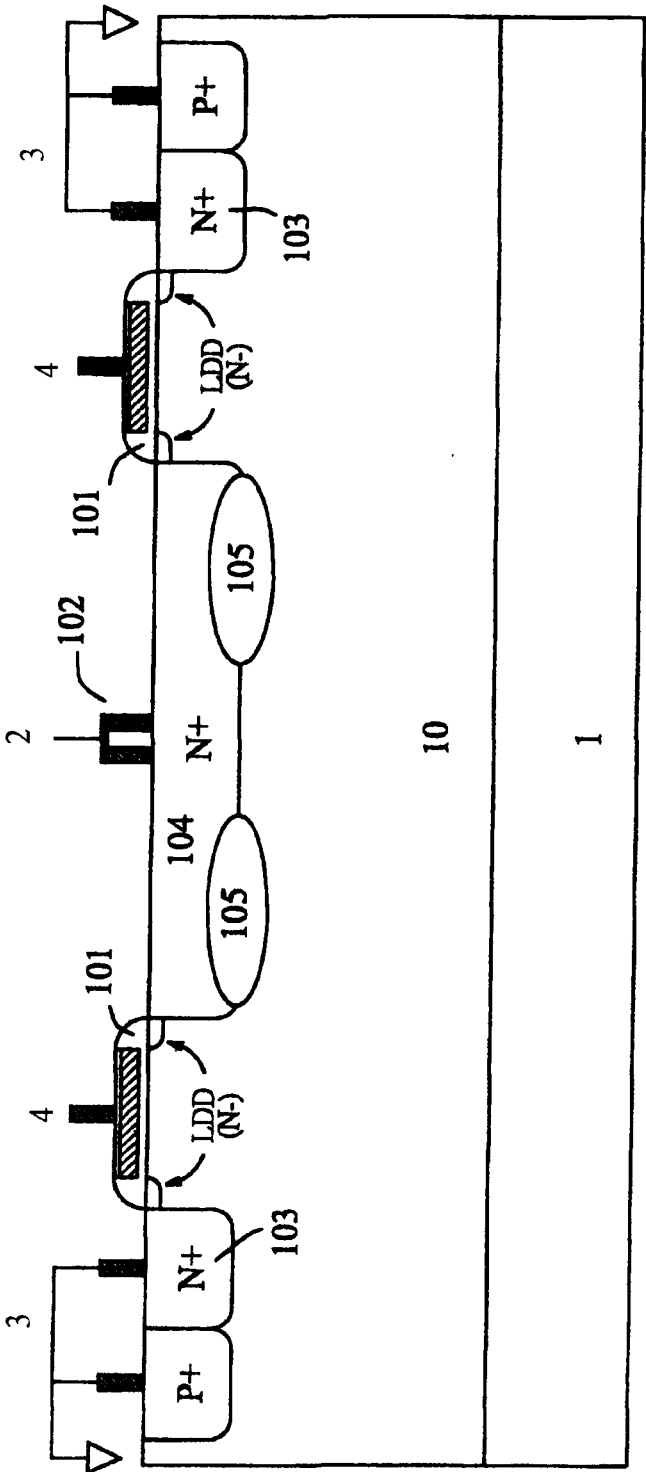


图 9

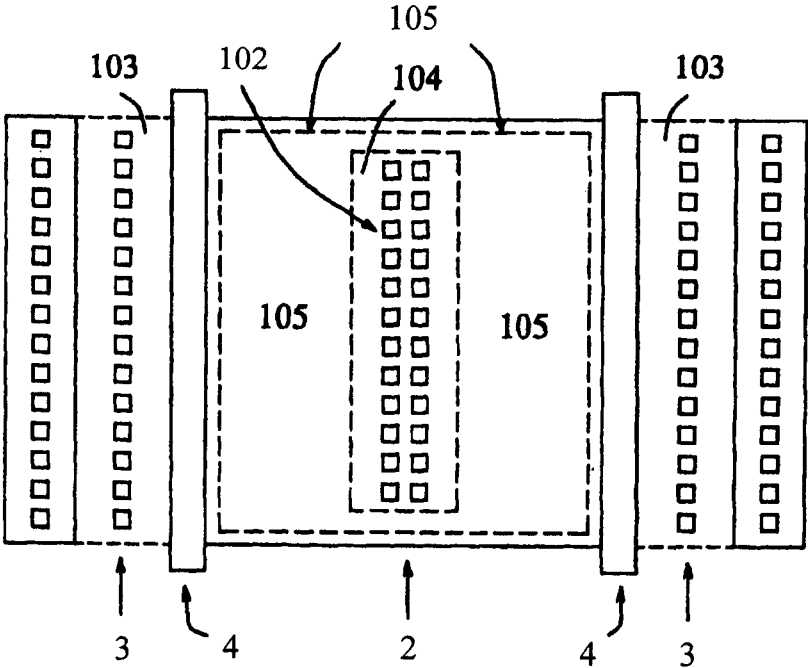


图 10

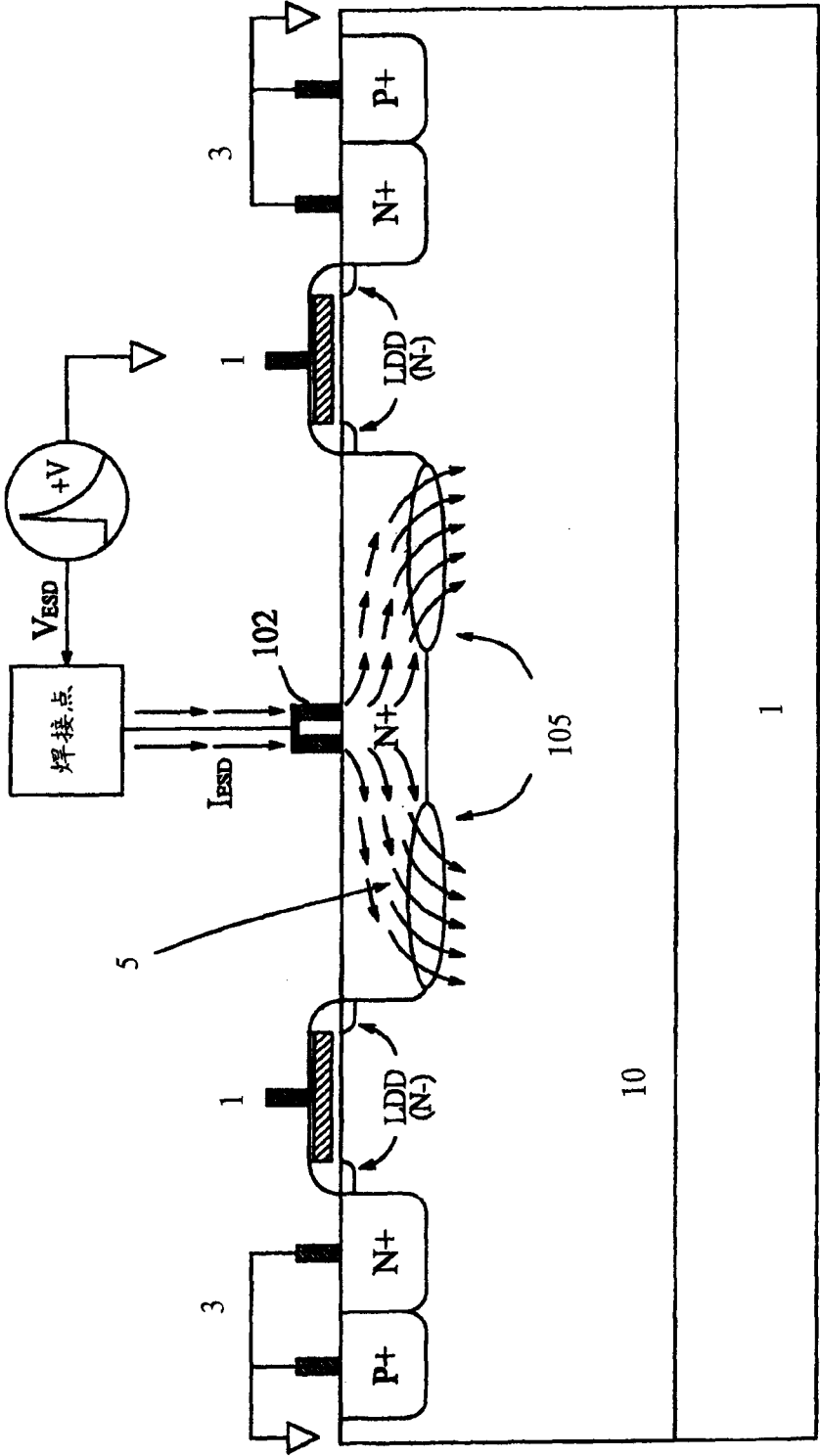


图 11

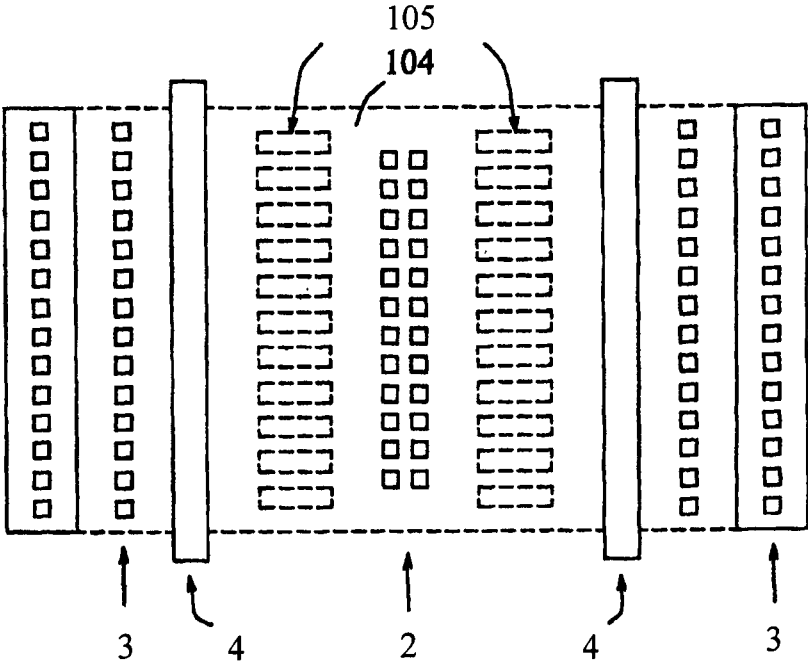


图 12

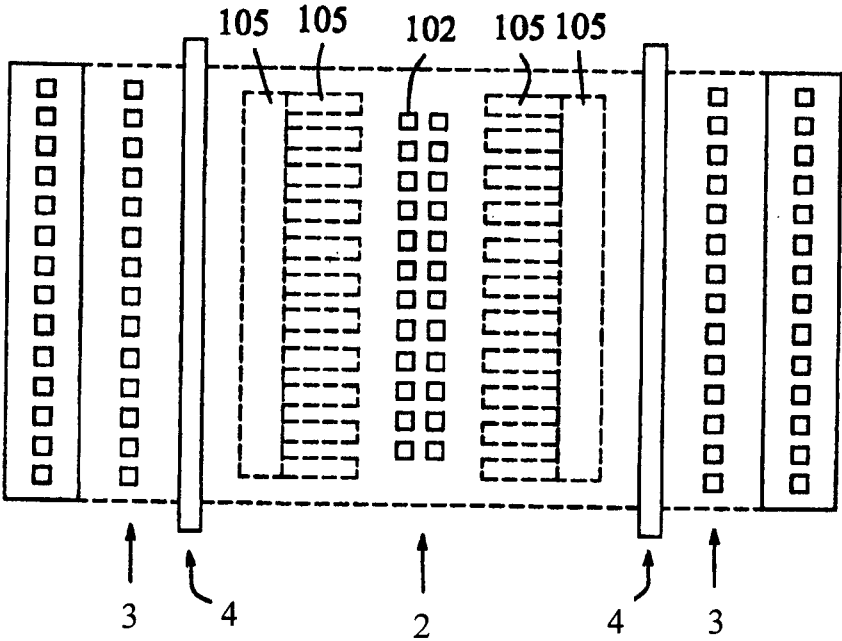


图 13

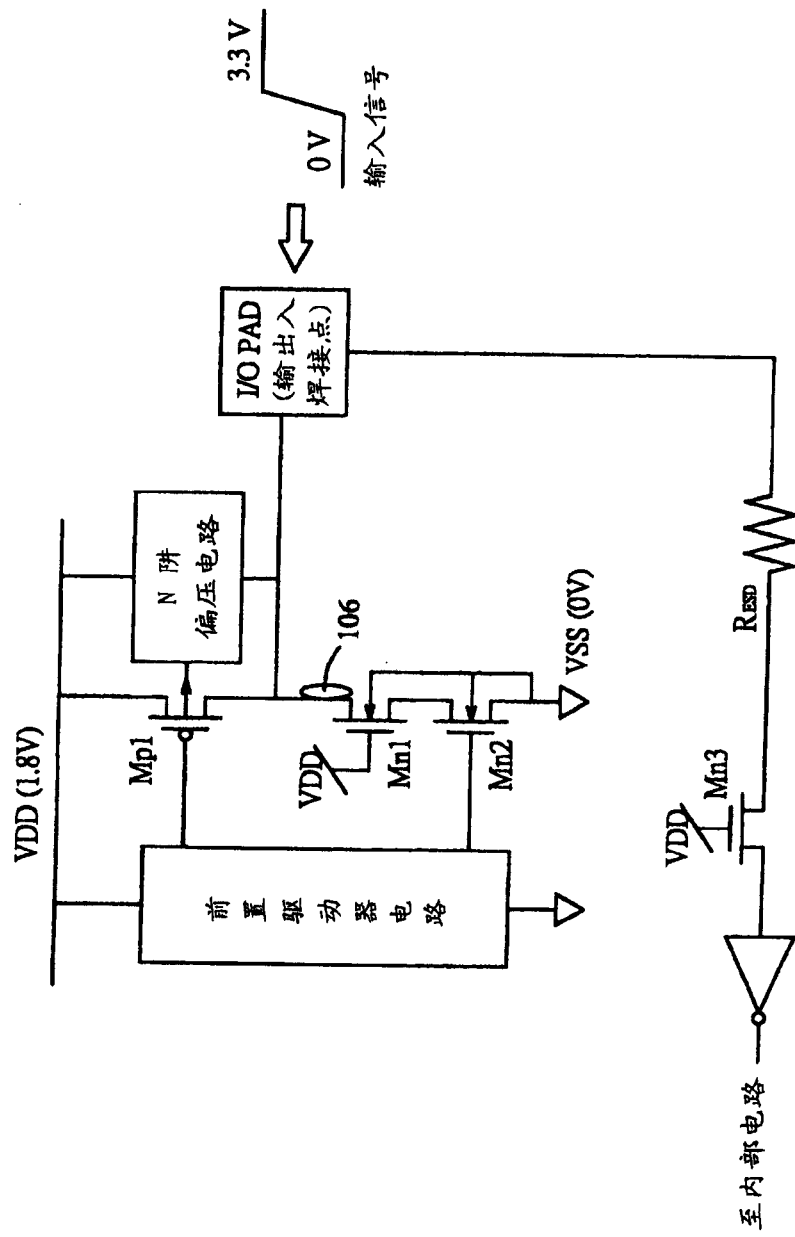


图 14

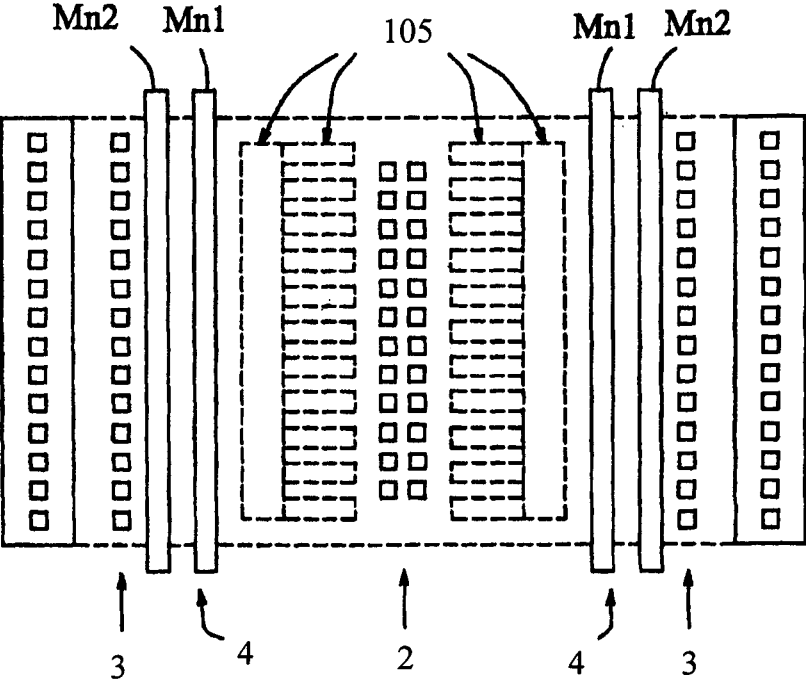


图 15

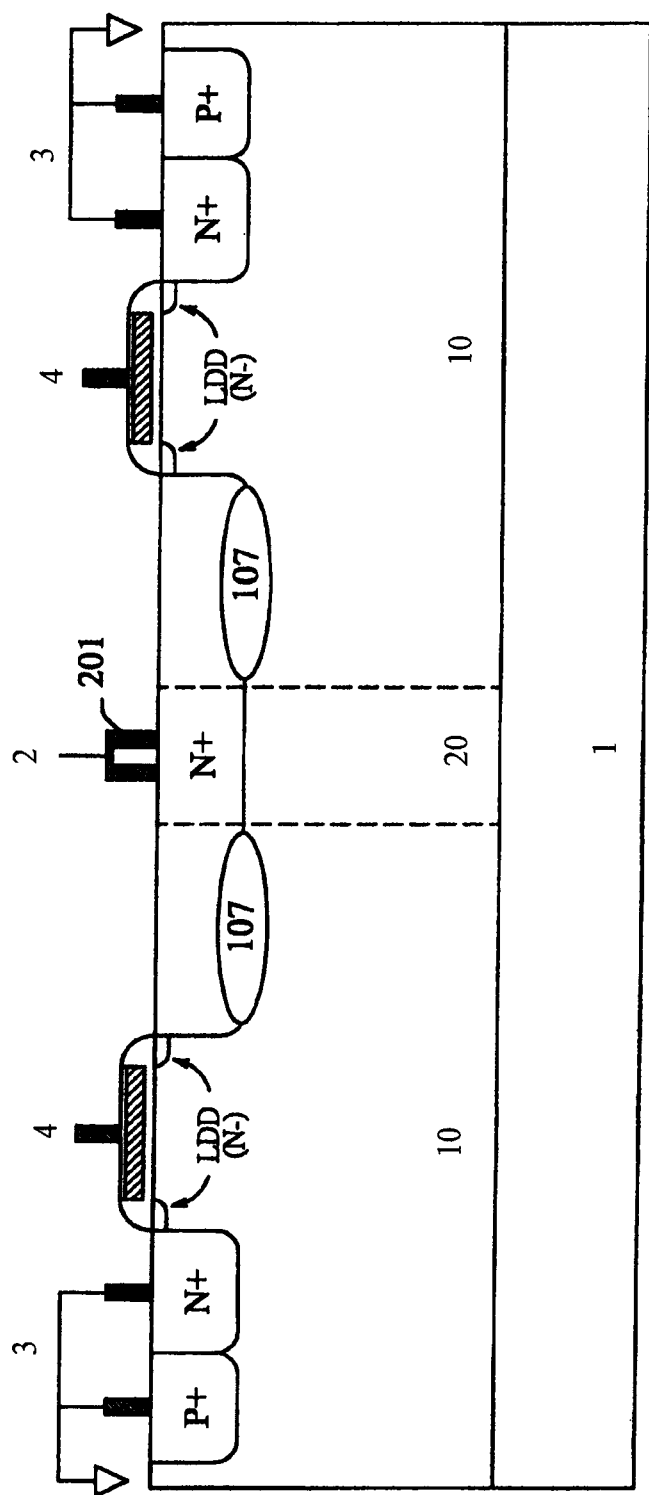


图 16

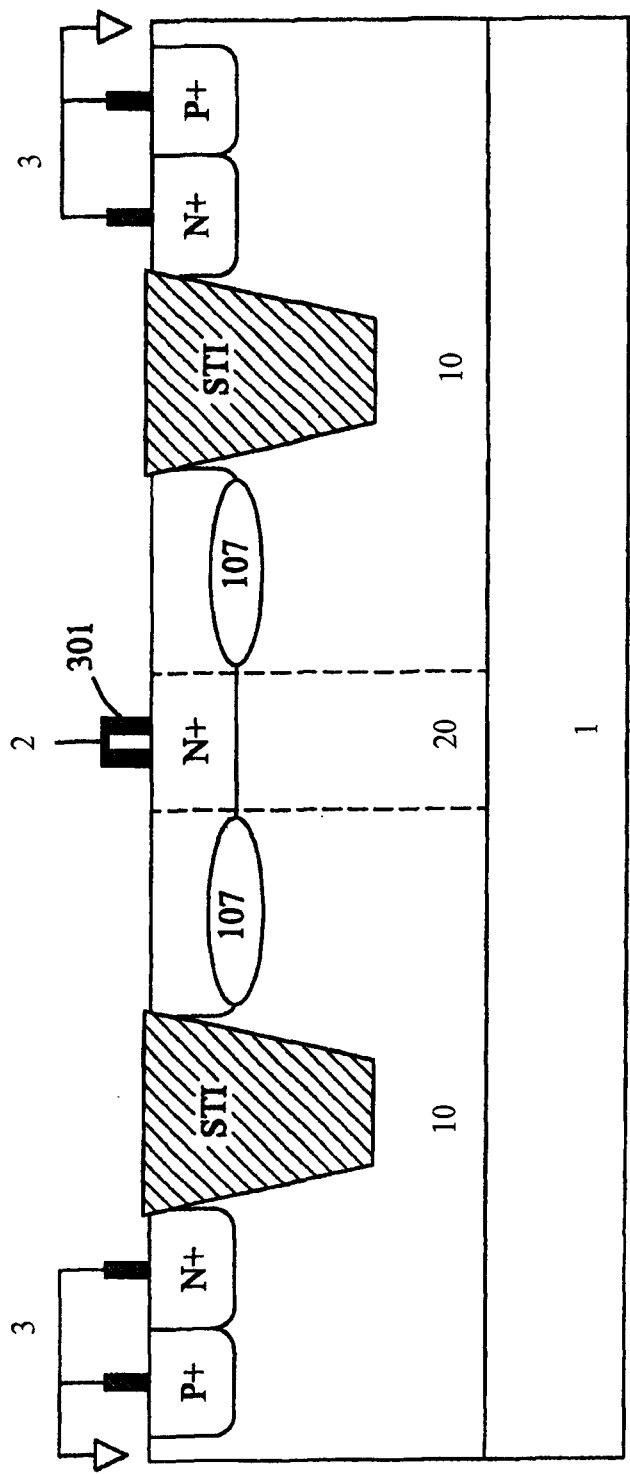


图 17

